

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

APPLICANT(S): Sang-hyun WOO, et al.  
SERIAL NO.: not yet assigned  
FILED: concurrent herewith      DATED: January 29, 2004  
FOR: **A SINGLE CHIP DIRECT CONVERSION TRANSCEIVER  
FOR REDUCING DC OFFSET AND METHOD OF  
MANUFACTURING THE SAME**

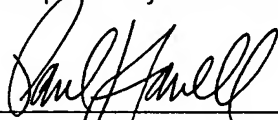
Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF PRIORITY DOCUMENT**

Sir:

Enclosed is a certified copy of Korean Patent Appln. No. 5929 filed  
on January 29, 2003, from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,

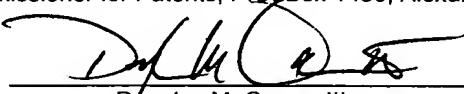
  
\_\_\_\_\_  
Paul J. Farrell, Esq.  
Reg. No. 33,494  
Attorney for Applicant(s)

**DILWORTH & BARRESE, LLP  
333 Earle Ovington Blvd.  
Uniondale, NY 11553  
(516) 228-8484**

**CERTIFICATION UNDER 37 C.F.R. 1.10**

I hereby certify that this correspondence and the documents referred to as enclosed therein are being deposited with the United States Postal Service on this date January 29, 2004, in an envelope as "Express Mail Post Office to Addressee" Mail Label Number EV333228955US addressed to: Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Dated: January 29, 2004

  
\_\_\_\_\_  
Douglas M. Owens III



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0005929  
Application Number

출원 년 월 일 : 2003년 01월 29일  
Date of Application  
JAN 29, 2003

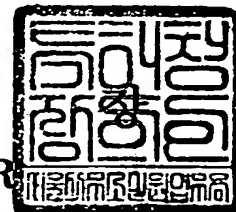
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      05      월      28      일

특      허      청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.01.29
【국제특허분류】	H04L
【발명의 명칭】	디씨 옴셋을 줄이기 위한 원칩화된 다이렉트 컨버전 송수신기 및 그 제조방법
【발명의 영문명칭】	One-chipped direct conversion transceiver for reducing DC offset and method making the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	우상현
【성명의 영문표기】	WOO, Sang Hyun
【주민등록번호】	751024-1052510
【우편번호】	135-283
【주소】	서울특별시 강남구 대치3동 대치우성1차아파트 205동 806호
【국적】	KR
【발명자】	
【성명의 국문표기】	박종애
【성명의 영문표기】	PARK, Jong Ae
【주민등록번호】	650814-2453511



1020030005929

출력 일자: 2003/5/29

【우편번호】	449-913
【주소】	경기도 용인시 구성면 보정리 1161 진산마을 삼성5차 502동 705호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	433,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명에 의한 원칩화된 다이렉트 컨버전 송수신기는, 믹서부와 지역 발진기가 회로로서 구비된 기판; 믹서부에서 방사되는 신호 및 지역 발진기에서 방사되는 신호 누설의 영향을 차폐시키도록, 기판내에서 믹서부와 지역 발진기 사이에 소정 폭과 소정 깊이로 형성되고 그 내부가 도전성 플러그로 채워진 포지티브 홀; 기판 상부에 마련되어, 안테나를 통해 수신된 신호가 믹서로 입력되는 과정에서 발생된 신호 누설 및 지역 발진기로부터 믹서로 기준 신호가 입력되는 과정에서 발생된 신호 누설을 차단하는 차폐 접지면; 차폐 접지면 상부에 마련되어, 믹서부 및 지역 발진기를 연결하는 제1 배선; 및 기판과 차폐 접지면 사이, 및 차폐 접지면 상부에서 제1 배선을 덮도록 적층된 유전층이 원칩화되어 포함된 것을 특징으로 한다. 따라서, 대부분의 신호 누설이 차폐 접지면과 포지티브 홀에 의해 효과적으로 차단되어 디씨 오프셋의 발생이 근본적으로 억제될 수 있고, 기존의 디씨 오프셋을 줄이기 위한 회로가 추가된 구조보다 크기, 소비 전력 및 제조 비용을 줄일 수 있다. 또한 본 발명은 원칩화된 구조로서 신호누설에 의한 자체 믹싱을 근본적으로 방지하므로, 변조방식과 주파수 대역에 관계없이 사용될 수 있다. 또한 CMOS, SiGe, GaAs와 같은 기판특성에 무관하게 디씨 오프셋을 현저히 줄일 수 있다.

**【대표도】**

도 6

**【명세서】****【발명의 명칭】**

다씨 오프셋을 줄이기 위한 원칩화된 다이렉트 컨버전 송수신기 및 그 제조방법  
{One-chipped direct conversion transceiver for reducing DC offset and method making the same}

**【도면의 간단한 설명】**

도 1 및 도 2는 각각 종래 기술에 의한 다이렉트 컨버전 송수신기의 다씨 오프셋을 감소시키는 방법들에 대한 회로 블록도이다.

도 3은 종래 기술에 의한 다이렉트 컨버전 송수신기에서 발진기 신호 누설의 발생을 설명하기 위한 회로 블록도이다.

도 4는 종래 기술에 의한 다이렉트 컨버전 송수신기에서 저잡음 증폭기의 간섭누설의 발생을 설명하기 위한 회로 블록도이다.

도 5는 본 발명의 실시예에 의한 다씨 오프셋(DC offset)을 감소시킨 다이렉트 컨버전 송수신기에서 믹서와 지역 발진기 사이에 차폐접지면이 구비된 것을 개념적으로 나타낸 회로 블록도이다.

도 6은 도 5의 개념을 바탕으로 구현한 본 발명의 실시예에 의한 원칩화된 다이렉트 컨버전 송수신기의 부분 단면도이다.

도 7은 도 6에 도시된 본 발명의 실시예에 의한 원칩화된 다이렉트 컨버전 송수신기의 제조 공정을 설명하기 위한 단면도이다.

도 8은 지역 발진기의 일부 수동 소자가 차폐 접지면 위쪽의 유전층에 구비되는 본 발명의 실시예에 의한 원칩화된 다이렉트 컨버전 송수신기의 부분 단면도이다.

도 9는 믹서부 및 지역 발진기에서 발생하는 신호 누설을 설명하기 위한 부분 단면도이다.

도 10a 및 도 10b는 차폐 접지면 유무에 따라 믹서부 및 지역 발진기에서 방사되는 신호 누설을 측정하는 예를 보여준다.

**\*도면의 주요 부분에 대한 부호설명\***

70.....안테나

72, 78.....제1 및 제2 증폭기

74.....믹서(mixer)

76.....저역 통과 필터

80, 120.....지역 발진기(local oscillator)

82, 150.....차폐접지면

100.....기판

110.....믹서부

130a.....포지티브 홀

130.....포지티브 홀에 채워지는 도전성 플러그

140, 142, 144, 146, 148.....제1 내지 제5 유전층

141, 143, 145.....제1 내지 제3 도전층

160, 173.....제1 및 제2 배선

170.....지역 발진기의 수동 소자

171.....상부 전극

172.....하부 전극

174.....인덕터

A.....커패시터

A1.....증폭기의 간섭 누설을 나타내는 화살표

A2.....발진기의 신호 누설을 나타내는 화살표

h1 내지 h5.....제1 내지 제5 비어홀

c1 내지 c5.....제1 내지 제5 도전성 플러그

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<33> 본 발명은 다이렉트 컨버전 송수신기에 관한 것으로써, 자세하게는 디씨 오프셋(DC offset)을 감소시킨 다이렉트 컨버전 송수신기에 관한 것이다.

<34> 현재의 무선휴대 단말기는 개발 초기에 비해 크기 및 소비전력이 작아졌고 비용도 현저히 낮아졌지만, 여전히 무선휴대 단말기 전체의 크기 및 소비전력을 줄이는 것과 제조 비용 등을 낮추는 것은 보다 양질의 무선휴대 단말기를 제조함에 있어 해결해야 할 문제로 대두되고 있다.



- <35>       다이렉트 컨버전 아키텍처(Direct Conversion Architecture)는 이미지 리젝션 (image rejection) 필터가 제거된 구조로서, 부품수를 감소시켜서 단말기 전체 크기 및 소비전력을 감소시키는 이점이 있다.
- <36>       하지만, 이러한 이점에도 불구하고 다이렉트 컨버전 아키텍처를 무선휴대 단말기에 적용하기 위해서는, 믹싱(mixing)과정에서 디씨 오프셋(DC offset)이 발생하는 문제를 개선해야 한다. 디씨 오프셋은 실제 신호와의 구분이 어렵고, 믹서(mixer)의 다음 단계 구비된 증폭기를 포화시킨다.
- <37>       이러한 디씨 오프셋 문제를 개선하기 위해 여러 방안이 제시되었고, 현재도 새로운 방안이 계속 연구되고 있다. 도 1 및 도 2는 각각 현재까지 제시된 상기 방안의 일 예 및 다른 예를 나타낸 것이다.
- <38>       도 1을 참조하면, 안테나(10)를 통해 수신되는 신호는 제1 증폭기(12)에 의해 증폭되고, 제1 및 제2 믹서(14, 16)에서 지역 발진기(local oscillator, 34)에서 발생하는 기준 신호와 합쳐지게 된다. 이 과정에서 상기 신호 중에서 캐리어 신호가 제거된다. 제1 및 제2 믹서(14, 16)로부터 출력되는 캐리어 신호가 제거된 신호들은 각각 제1 및 제2 저역 통과 필터(LPF:Low Pass Filter)(18, 20)를 거치면서 고주파 성분이 제거된다. 제1 및 제2 저역 통과 필터(18, 20)로부터 출력되는 신호들은 각각 제2 및 제3 증폭기(26, 30)에 의해 증폭된다. 참조번호 36은 지역 발진기(34)로부터 발생하는 기준 신호의 위상을  $90^\circ$  이동시키는 위상 쉬프터(phase shifter)이다.
- <39>       한편, 도 3에 도시한 바와 같이 지역 발진기(미도시)로부터 제1 믹서(14)에 기준 신호( $\cos \omega_{lot}$ )가 입력되는 과정에서 기판 커플링(substrate coupling)과 본드 와이어

커플링(bond wire coupling)에 의해 발진기 신호 누설(50)이 발생된다. 또한, 도 4에 도시한 바와 같이 안테나(10)를 통해 수신된 신호가 제1 증폭기(12)에 의해 증폭되는 과정에서 기판 커플링(substrate coupling)과 본드 와이어 커플링(bond wire coupling)에 의해 큰 간섭 누설(large interfere leakage)(52)이 발생된다. 이러한 누설 신호들은 다시 지역 발진기로부터 발생하는 기준 신호와 예컨대 다음 수학식 1과 같이 자체 믹싱(self mixing)되며, 그 결과 디씨 오프셋이 발생된다.

&lt;40&gt;

$$\text{【수학식 1】} \quad \cos w_{LO}t \times \cos w_{LO}t = \frac{1 + \cos 2w_{LO}t}{2}$$

&lt;41&gt;

수학식 1에서 1/2 에 해당하는 디씨 오프셋은, 제1 믹서(14) 다음 단계 구비된 제2 증폭기(26)를 포화시킬 뿐만 아니라, 안테나(10)에 의해 신호가 방사되고 또한 반사되어 다시 수신되는 과정을 거치면서 불규칙하게 되고 실제 수신된 신호와의 구분이 어렵게 된다.

&lt;42&gt;

도 1에 도시된 종래 기술의 경우, 이러한 디씨 오프셋을 제거하기 위해 제1 지역 통과 필터(18)와 제2 증폭기(26)사이에 제1 커패시터(22)를, 제2 지역 통과 필터(20)와 제3 증폭기(30)사이에는 제2 커패시터(24)를 구비한다.

&lt;43&gt;

그러나, 이러한 방안은 제1 및 제2 커패시터(22, 24)의 부피가 크고 충전 및 방전을 위한 별도의 접지(28, 32)가 필요하기 때문에 회로의 크기가 증가될 뿐만 아니라 적용이 시분할다중접속(Time Division Multiple Access)으로 한정된다.

&lt;44&gt;

도 2는 일본공개특허공보 특개평 3-220823에 개시된 다이렉트 컨버전 수신기를 도시한 것이다. 도 2는 제2 증폭기(26)와 데이터 프로세싱 회로(data processing circuit)(44)사이에 제1 아날로그/디지털 컨버터(A/D Converter) (40)를, 제2 증폭기

(30)와 데이터 프로세싱 회로(44)사이에는 제2 아날로그/디지털 컨버터(42)를 구비하고, 제1 믹서(14)와 데이터 프로세싱 회로(44)사이에 데이터 프로세싱 회로(44)로부터 출력되는 소정의 디지털 신호를 아날로그 신호로 변환하여 제1 믹서(14)로 피드 백(feed back)시키는 제1 디지털/아날로그 컨버터(D/A Converter)(46)를, 제2 믹서(16)와 데이터 프로세싱 회로(44)사이에는 상기 소정의 디지털 신호를 아날로그 신호로 변환하여 제2 믹서(16)로 피드 백(feed back)시키는 제2 디지털/아날로그 컨버터(48)를 구비하는 네가티브 피드 백 루프(negative feed back loop)를 통해 상기한 디씨 오프셋을 제거하는 방안을 나타낸 것이다. 그러나 폐쇄 루프를 사용하기 때문에 루프 컨버전스(loop convergence) 시간이 제한된다. 그러므로 무선휴대단말기에와 같이 타임 슬롯(time slot)이 짧은 기기에 적용하기는 어렵다.

<45> 또한 미국특허 US6,175,728에는 델타-시그마 변조회로와 스위칭 회로를 포함하여, 디씨 오프셋을 실시간으로 제거할 수 있는 다이렉트 컨버전 수신기가 개시되어 있다. 그러나, 스위칭 시간이 소요되기 때문에 그 적용이 시분할다중접속(Time Division Multiple Access)으로 한정되고, 회로의 크기가 증가된다.

**【발명이 이루고자 하는 기술적 과제】**

<46> 따라서, 본 발명이 이루고자하는 기술적 과제는, 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 디씨 오프셋을 제거하기 위한 수단이 내장된 원칩(one chip)화된 다이렉트 컨버전 송수신기를 제공하는 것이다.

<47> 또한 본 발명이 이루고자 하는 다른 기술적 과제는, 상기 원칩화된 다이렉트 컨버전 송수신기를 제조하는 방법을 제공하는데 있다.

## 【발명의 구성 및 작용】

<48>        상기 기술적 과제를 달성하기 위하여, 안테나를 통해 수신되는 신호를 증폭하여 출력하는 제1 증폭기, 입력되는 소정의 기준 신호를 이용하여 상기 제1 증폭기로부터 출력되는 신호로부터 캐리어 신호를 분리시켜 출력하는 믹서(mixer), 상기 믹서로부터 출력되는 신호에서 고주파 성분을 제거하는 저역 통과 필터, 및 상기 저역 통과 필터로부터 출력되는 신호를 증폭하는 제2 증폭기를 포함하는 믹서부; 및 상기 믹서에 상기 기준 신호를 제공하는 지역 발진기(local oscillator)를 포함하는 본 발명에 의한 원칩화된 다이렉트 컨버전 송수신기는, 상기 믹서부와 상기 지역 발진기가 회로로서 구비된 기판; 상기 믹서부에서 방사되는 신호 및 상기 지역 발진기에서 방사되는 신호 누설의 영향을 차폐시키도록, 상기 기판내에서 상기 믹서부와 상기 지역 발진기 사이에 소정 폭과 소정 깊이로 형성되고 그 내부가 도전성 플러그로 채워진 포지티브 홀; 상기 기판 상부에 마련되어, 상기 안테나를 통해 수신된 상기 신호가 상기 믹서로 입력되는 과정에서 발생된 신호 누설 및 상기 지역 발진기로부터 상기 믹서로 기준 신호가 입력되는 과정에서 발생된 신호 누설을 차단하는 차폐 접지면; 상기 차폐 접지면 상부에 마련되어, 상기 믹서부 및 상기 지역 발진기를 연결하는 제1 배선; 및 상기 기판과 상기 차폐 접지면 사이와, 상기 차폐 접지면 상부에서 상기 제1 배선을 덮도록 적층된 유전층이 원칩화되어 포함된 것을 특징으로 한다.

<49>        본 발명에 있어서, 상기 지역 발진기의 일부 수동 소자 및 상기 수동 소자를 연결하는 제2 배선이 상기 차폐 접지면 상부에 마련될 수 있다.

<50>        본 발명에 있어서, 상기 차폐 접지면의 두께는, 상기 신호 누설의 표면 침투 깊이보다 수배 이상일 수 있다.

- <51> 본 발명에 있어서, 상기 포지티브 홀의 폭은, 상기 신호 누설의 표면 침투 깊이보다 수배 이상일 수 있다.
- <52> 본 발명에 있어서, 상기 도전성 플러그는 구리일 수 있다.
- <53> 본 발명에 있어서, 상기 포지티브 홀은 상기 기판에 습식 식각에 의해 형성될 수 있다.
- <54> 또한 상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 의한 원칩화된 다이렉트 컨버전 송수신기의 제조방법은, 기판의 소정 영역에 딥 트렌치를 형성하고, 상기 딥 트렌치를 도전성 플러그로 채우는 단계; 상기 기판의 상기 딥 트렌치의 좌우에 믹서부 및 지역 발진기를 형성하는 단계; 상기 딥 트렌치와 상기 믹서부와 상기 지역 발진기가 형성된 상기 기판 상부에 제1 유전층과 차폐 접지면을 형성하는 단계; 상기 차폐 접지면을 덮는 제2 유전층을 형성하는 단계; 상기 제1 유전층과 상기 차폐접지면에 제1 및 제2 비어홀을 형성하고 형성된 상기 제1 및 제2 비어홀에 제1 및 제2 도전성 플러그를 채우는 단계; 상기 제2 유전층 상에 제1 배선을 형성하는 단계; 상기 배선이 형성된 제2 유전층 상부에 적어도 1이상의 유전층을 형성하고 상기 유전층 사이에 도전층을 형성하는 단계; 및 상기 기판의 저면을 화학·기계적 연마를 이용하여 상기 도전성 플러그가 노출될 때까지 연마하여 포지티브 홀을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <55> 본 발명에 있어서, 상기 딥 트렌치는 상기 기판에 습식 식각에 의해 형성될 수 있다.
- <56> 본 발명에 있어서, 상기 도전성 플러그는 구리일 수 있다.

- <57> 이와 같은 원칩화된 다이렉트 컨버전 송수신기 구조에 의하면, 대부분의 믹서부와 지역 발진기로부터 발생하는 신호 누설이 차폐 접지면과 도전성 플러그가 채워진 포지티브 홀에 의해 효과적으로 차단되어 다시 옴셋의 발생이 근본적으로 억제될 수 있다.
- <58> 이하, 본 발명의 실시예에 의한 원칩화된 다이렉트 컨버전 송수신기를 첨부된 도면들을 참조하여 상세하게 설명한다.
- <59> 먼저, 도 5를 참조하여 본 발명의 실시예에 의한 다이렉트 컨버전 송수신기 개념을 설명한다.
- <60> 믹서(74)는 안테나(70)를 통해 수신된 신호를 증폭시키는 제1 증폭기(72)로부터 출력되는 신호와 소정의 기준 신호를 믹싱하여 제1 증폭기(72)로부터 출력되는 신호로부터 캐리어 신호를 제거하는 기능을 하고, 지역 발진기(80)는 상기 신호로부터 상기 캐리어 신호를 분리하는데 사용되는 소정의 기준 신호를 믹서(74)에 제공한다. 믹서(74)와 지역 발진기(80)사이에 차폐 접지면(82)이 구비되어 있다. 지역 발진기(80) 측에서 출력된 신호는 차폐 접지면(82)에 의해 제한된 영역을 통해서 믹서(74)에 전달된다. 믹서(74)에서 출력되는 캐리어 신호가 제거된 신호들은 각각 저역 통과 필터(76)를 거치면서 고주파 성분이 제거된다. 저역 통과 필터(76)로부터 출력되는 신호는 제2 증폭기(78)에 의해 증폭된다. 안테나(70)를 통해 수신된 신호를 처리하는 과정에서 지역 발진기(80) 및 믹서(74)로부터 각각 발생하는 신호 누설(A2) 및 간섭 누설(A1)은 대부분이 차폐 접지면(82)에 흡수되어 차단된다. 충분한 차폐 효과를 얻기 위하여, 차폐 접지면(82)의 두께는 신호 누설의 표면 침투 깊이(skin depth)의 3배 이상인 것이 바람직하다.

- <61> 이와 같이 믹서(74)와 지역 발진기(80) 사이에 마련된 차폐 접지면(82)에 의해, 전술한 신호 누설이 지역 발진기(80)로부터 발생하는 기준 신호와 자체 믹싱(self mixing)되는 것이 방지되므로, 디씨 오프셋은 최소화된다.
- <62> 본 발명의 실시예에 의한 다이렉트 컨버전 송수신기를 다음과 같이 보다 구체적으로 설명한다.
- <63> 도 6은 도 5의 개념을 바탕으로 구현한 본 발명의 실시예에 의한 원칩화된 다이렉트 컨버전 송수신기의 단면도이다.
- <64> 도 6을 참조하면, 기판(100)상에 제1 ~ 제5 유전층(140, 142, 144, 146, 148)이 차례로 적층되어 있다. 제2 ~ 제5 유전층(142, 144, 146, 148) 사이에 제1 ~ 제3 도전층(141, 143, 145)이 마련된다. 기판(100)은 예컨대 실리콘(Si) 기판이다. 제1 ~ 제5 유전층(140, 142, 144, 146, 148) 재질로는 저항률이 크고 유전체의 손실 탄젠트(loss tangent)가 작은 물질 예컨대 BCB(Bisbenzo Cyclo Butene)가 사용될 수 있다.
- <65> 이하에서는, 도 5에 도시된, 제1 증폭기(72), 믹서(74), 지역 통과 필터(76), 제2 증폭기(78) 등 믹서를 포함하는 부재를 믹서부(110)로 칭한다.
- <66> 기판(100)에는, 믹서부(110), 지역 발진기(120) 및 도전성 플러그를 포함하는 포지티브 홀(130a)이 형성된다.
- <67> 도 6을 참조하면, 기판(100)의 중앙부를 관통하여 포지티브 홀(positive hole, 130a)이 형성되어 있다. 포지티브 홀(130a)은 도전성 플러그(130), 예컨대 구리로 채워져 있다. 포지티브 홀(130a)은 기판에 회로로 구성된 믹서부(110) 및 지역 발진기(120)에서 방사되는 신호 누설을 차폐시키도록 소정 폭(width)과 소정 깊이(depth)로 형성한

다. 충분한 차폐 효과를 얻기 위하여, 포지티브 홀(130a)의 폭은 신호 누설의 표면 침투 깊이의 3배 이상인 것이 바람직하다.

<68> 포지티브 홀(130a)을 중심으로 기판(100)의 일측에 믹서부(110)가, 타측에 지역 발전기(120)가 구비되어 있다. 믹서부(110), 지역 발전기(120) 및 도전성 플러그(130)는 제1 유전층(140)의 저면과 접촉된다.

<69> 기판(100) 위로 제1 유전층(140), 차폐 접지면(150), 제2 유전층(142)이 차례로 적층되어 있다.

<70> 제1 유전층(140)과 제2 유전층(142)을 관통하여 믹서부(110)가 노출되는 제1 비어홀(h1)과, 지역 발전기(120)가 노출되는 제2 비어홀(h2)이 형성되어 있다. 제1 및 제2 비어홀(h1, h2)은 각각 제1 및 제2 도전성 플러그(c1, c2)로 채워져 있다. 제1 유전층(140)과 제2 유전층(142)의 제1 및 제2 비어홀(h1, h2) 사이 및 그 둘레에 소정 두께(a)를 갖는 차폐 접지면(150)이 형성되어 있다. 차폐 접지면(150)은 예컨대 구리(Cu)판으로서, 제1 유전층(140) 위에 TiCu, CrAu 등의 씨드층(seed layer)을 증착하고 그 위에 구리(Cu)를 전기 도금함으로써, 원하는 두께로 형성될 수 있다.

<71> 제2 유전층(142)상에 제1 및 제2 도전성 플러그(c1, c2)를 연결하는 제1 배선(160)이 형성되어 있다.

<72> 결국 믹서부(110)와 지역 발전기(120)는 제1 도전성 플러그(c1), 제1 배선(160) 및 제2 도전성 플러그(c2)에 의해 연결되어 있다.

<73> 제2 유전층(142) 상에 제1 배선(160)을 덮는 제3 유전층(144)과 제4, 제5 유전층(146, 148)이 순차적으로 적층되어 있다.



- <74> 도 7은 도 6에 도시된 본 발명의 실시예에 의한 원칩화된 다이렉트 컨버전 송수신기의 제조 공정을 설명하기 위한 단면도이다. 도 7을 참조하여, 본 발명에 의한 원칩화된 다이렉트 컨버전 송수신기의 제조 공정 순서들을 다음과 같이 예시적으로 설명한다.
- <75> 먼저 기판(100)의 소정 영역을 습식 식각(wet etching)하여 딥 트렌치(deep trench, 130b)를 형성하고, 딥 트렌치(130b)를 도전성 플러그(130) 예를 들면 구리 플러그로 채운다.
- <76> 이어서, 기판(100)에서 딥 트렌치(130b)의 좌우에 믹서부(110) 및 지역 발진기(120)를 형성하는 공정, 딥 트렌치(130b)와 믹서부(110)와 지역 발진기(120)가 형성된 기판(100) 상부에 제1 유전층(140)과 차폐 접지면(150)을 형성하는 공정, 차폐 접지면(150)을 덮는 제2 유전층(142)을 형성하는 공정, 제1 유전층에 제1 및 제2 비어홀(h1, h2)을 형성하는 공정, 제1 및 제2 도전성 플러그(c1, c2)를 채우는 공정, 제2 유전층(142) 상에 제1 배선(160)을 형성하는 공정, 제1 배선(160)이 형성된 제2 유전층(142) 상부에 적어도 1이상의 유전층을 형성하고 상기 유전층 사이에 도전층을 형성하는 공정 즉 제3 ~ 제5 유전층(144, 146, 148) 및 제1 ~ 제 3 도전층(141, 143, 145)을 형성하는 공정이 계속된다.
- <77> 이어서, 기판(100)의 저면을 화학·기계적 연마(CMP, Chemical Mechanical Polishing)를 이용하여 도전성 플러그(130)가 노출될 때까지 연마하여, 도 6에 도시된 포지티브 홀(130a)을 형성한다.
- <78> 전술한 공정들은 순서를 바꾸어, 기판(100)에 믹서부(110) 및 지역 발진기(120)를 형성하는 공정, 딥 트렌치(130b)를 형성하고 도전성 플러그(130)를 채우는 공정, 기판

(100)의 저면을 CMP에 연마하는 공정, 기타 유전층(140, 142, 144, 146, 148, 150) 및 차폐 접지면(150)을 형성하는 공정 순서로 진행될 수도 있다.

<79> 또한 전술할 공정들은, 기판(100)에 믹서부(110) 및 지역 발진기(120)를 형성하는 공정, 딥 트렌치(130b)를 형성하고 도전성 플러그(130)를 채우는 공정, 유전층(140, 142, 144, 146, 148, 150) 및 차폐 접지면(150) 등을 형성하는 공정, 기판(100)의 저면을 CMP에 연마하는 공정 순서로 진행될 수도 있다.

<80> 한편, 지역 발진기(120)의 일부 수동 소자(170) 예컨대, 커패시터(A), 인덕터(174) 등을 제4 및 제5 유전층(146, 148)에 형성하면, 지역 발진기의 양호도(Q-factor)가 향상되어 기판으로 인한 신호의 방사(radiation)량이 작아지게 된다. 도 8을 참조하면, 커패시터(A)는 상부전극(171), 하부전극(172) 및 이들 사이에 마련된 제5 유전층(148)에 의해 구성된다. 또한 인덕터(174)와 하부전극(172)은 제2 배선(173)에 의해 연결된다.

<81> 도 8에서는 지역 발진기의 수동 소자들이 제4 및 제5 유전층(146, 148)에 형성되어 있으나, 차폐 접지면(150) 위의 유전층(142, 144, 146, 148)의 소정 영역에 구비되어도 무방하다.

<82> 도 9는 믹서부(110) 및 지역 발진기(120)에서 발생하는 신호 누설을 설명하기 위한 도면이다. 도 9를 참조하면, 믹서부(110) 및 지역 발진기(120) 사이의 신호 누설 대부분은 제1 배선(160)으로부터 발생되나, 제1 배선(160)은 차폐 접지면(150) 위쪽에 형성되어 있기 때문에 신호 누설은 차폐 접지면(150)에 대부분이 흡수되어 차단된다. 충분한 차폐 효과를 얻기 위해, 차폐 접지면(150)의 두께(a) 및 도전성 플러그(130)가 채워진 포지티브 홀(130a)의 폭은, 신호 누설의 침투 깊이(skin depth)보다 수배 이상, 적어도

3배 이상인 것이 바람직하다. 여기서 침투 깊이는 다음 수학적 식 2에 의해 구해질 수 있다

<83> 
$$\text{침투깊이} = \sqrt{\frac{\rho}{\pi \mu f}}$$

【수학적 식 2】

<84> 여기서,  $\rho$ 는 저항률(resistivity)로서 구리(Cu)의 경우 3.59 이고,  $\mu$ 는 투자율(permeability)로서 구리의 경우 1이다. 따라서,  $f = 5.8\text{GHz}$  이고 차폐 접지면(150)이 구리(Cu)일 때, 침투깊이는 약  $14\mu\text{m}$  이다. 이에 따라, 차폐 접지면(150)의 두께(a) 및 도전성 플러그(130)가 채워진 포지티브 홀(130a)의 폭은  $14\mu\text{m}$  의 3배 이상으로서, 예컨대  $50\mu\text{m}$  로 형성될 수 있다.

<85> 신호 누설은 지역 발진기(120)로부터 기준 신호가 출력되는 제2 도전성 플러그(c2), 기준 신호를 믹서부(110)로 입력하는 제1 도전성 플러그(c1) 등으로부터 발생된다. 이들 제1 및 제2 도전성 플러그(c1, c2)는 길이가 매우 짧다. 따라서, 신호 누설이 배선의 길이에 비례하는 것을 고려하면, 믹서부(110) 및 지역 발진기(120) 사이에서 발생하는 신호 누설은, 차폐 접지면(150)에 의하여 대부분 차단된다고 볼 수 있다.

<86> 또한 기판(100) 내부에서, 믹서부(110)와 지역 발진기(120)의 방사에 의한 신호 누설은 도전성 플러그(130)가 채워진 포지티브 홀(130a)에 의해 대부분 흡수된다. 때문에, 신호 누설이 지역 발진기(120)로부터 발생하는 기준 신호와 믹싱되어 발생하는 디씨 오프셋은 최소화된다.

<87> 도 10a 및 도 10b는 차폐 접지면 유무에 따라 믹서(200) 및 지역 발진기(210)에서 방사되는 신호 누설을 측정기(230)에 의해 측정하는 예를 보여준다. 도 10a를 참조하면,

차폐 접지면 없이 믹서(200)와 지역 발진기(210)가 와이어본딩(240)에 의해 연결된 경우, 5~6 GHz 대역에서 약 -30dB 의 신호 누설이 발생한다.

<88> 한편, 도 10b에 도시한 바와 같이, 차폐 접지면(250)에 의하여 믹서(200)와 지역 발진기(210)가 차폐된 경우, 5~6GHz 대역에서 약 -70dB 의 신호 누설이 발생한다. 결국 차폐 접지면(250)에 의해 약 40dB 의 차폐 효과를 얻을 수 있다.

<89> 일반적으로 믹서와 지역 발진기 사이에서 요구되는 신호 누설의 차폐 정도가 약 50dB이고, 믹서 자체에서 30dB 정도의 신호 누설을 차폐한다는 점을 고려하면, 본 발명에 의한 차폐 효과는 만족스러운 결과이다.

#### 【발명의 효과】

<90> 상술한 바와 같이, 본 발명에 따른 원칩화된 다이렉트 컨버전 송수신기의 경우, 믹서부와 지역 발진기 사이에 도전성 플러그가 채워진 포지티브 홀이 존재하고, 양자를 연결하는 배선이 차폐 접지면 위쪽에 존재한다. 따라서, 대부분의 신호 누설이 차폐 접지면 및 도전성 플러그가 채워진 포지티브 홀에 의해 효과적으로 차단되어 디씨 옴셋의 발생이 근본적으로 억제될 수 있다. 때문에, 기존의 디씨 옴셋을 줄이기 위한 회로가 추가된 구조보다 크기 및 소비 전력을 줄일 수 있고, 제조 비용도 낮출 수 있다.

<91> 또한 본 발명은 원칩화된 구조로서 신호누설에 의한 자체 믹싱을 근본적으로 방지하므로, 시분할다중접속(TDMA), 코드분할다중접속(CDMA), 주파수분할다중접속(FDMA) 등 모든 변조방식에 대한 다이렉트 컨버전 송수신기에 적용될 수 있고, 주파수 대역에도 관계없이 적용될 수 있다.

<92> 또한 본 발명에 의하면 CMOS, SiGe, GaAs와 같은 기판특성에 영향을 받지 않으며, 특히 CMOS와 같이 방사특성이 큰 기판에서도 디씨 오프셋을 현저히 줄일 수 있다.

<93> 본 발명은 이상에서 설명되고 도면에 예시된 것에 의해 한정되는 것은 아니며, 다음에 기재되는 청구의 범위 내에서 더 많은 변형 및 변용예가 가능한 것임은 물론이다.

**【특허청구범위】****【청구항 1】**

안테나를 통해 수신되는 신호를 증폭하여 출력하는 제1 증폭기, 입력되는 소정의 기준 신호를 이용하여 상기 제1 증폭기로부터 출력되는 신호로부터 캐리어 신호를 분리시켜 출력하는 믹서(mixer), 상기 믹서로부터 출력되는 신호에서 고주파 성분을 제거하는 저역 통과 필터, 및 상기 저역 통과 필터로부터 출력되는 신호를 증폭하는 제2 증폭기를 포함하는 믹서부; 및 상기 믹서에 상기 기준 신호를 제공하는 지역 발진기(local oscillator)를 포함하는 다이렉트 컨버전 송수신기에 있어서,

상기 믹서부와 상기 지역 발진기가 회로로서 구비된 기판;

상기 믹서부에서 방사되는 신호 및 상기 지역 발진기에서 방사되는 신호 누설의 영향을 차폐시키도록, 상기 기판내에서 상기 믹서부와 상기 지역 발진기 사이에 소정 폭과 소정 깊이로 형성되고 그 내부가 도전성 플러그로 채워진 포지티브 홀;

상기 기판 상부에 마련되어, 상기 안테나를 통해 수신된 상기 신호가 상기 믹서로 입력되는 과정에서 발생된 신호 누설 및 상기 지역 발진기로부터 상기 믹서로 기준 신호가 입력되는 과정에서 발생된 신호 누설을 차단하는 차폐 접지면;

상기 차폐 접지면 상부에 마련되어, 상기 믹서부 및 상기 지역 발진기를 연결하는 제1 배선; 및

상기 기판과 상기 차폐 접지면 사이, 및 상기 차폐 접지면 상부에서 상기 제1 배선을 덮도록 적층된 유전층이 원칩화 되어 포함된 것을 특징으로 하는 원칩화된 다이렉트 컨버전 송수신기.

**【청구항 2】**

제1항에 있어서,

상기 지역 발진기의 일부 수동 소자 및 상기 수동 소자를 연결하는 제2 배선이 상기 차폐 접지면 상부에 마련된 것을 특징으로 하는 원칩화된 다이렉트 컨버전 송수신기.

**【청구항 3】**

제1항에 있어서, 상기 차폐 접지면의 두께는,

상기 신호 누설의 표면 침투 깊이보다 수배 이상인 것을 특징으로 하는 원칩화된 다이렉트 컨버전 송수신기.

**【청구항 4】**

제1항에 있어서, 상기 포지티브 홀의 폭은,

상기 신호 누설의 표면 침투 깊이보다 수배 이상인 것을 특징으로 하는 원칩화된 다이렉트 컨버전 송수신기.

**【청구항 5】**

제1항에 있어서,

상기 도전성 플러그는 구리인 것을 특징으로 하는 원칩화된 다이렉트 컨버전 송수신기.

**【청구항 6】**

제1항에 있어서,

상기 포지티브 홀은 상기 기판에 습식 식각에 의해 형성된 것을 특징으로 하는 원칩화된 다이렉트 컨버전 송수신기.

**【청구항 7】**

기판의 소정 영역에 딥 트렌치를 형성하고, 상기 딥 트렌치를 도전성 플러그로 채우는 단계;

상기 기판의 상기 딥 트렌치의 좌우에 믹서부 및 지역 발진기를 형성하는 단계;

상기 딥 트렌치와 상기 믹서부와 상기 지역 발진기가 형성된 상기 기판 상부에 제1 유전층과 차폐 접지면을 형성하는 단계;

상기 차폐 접지면을 덮는 제2 유전층을 형성하는 단계;

상기 제1 유전층과 상기 차폐접지면에 제1 및 제2 비어홀을 형성하고 형성된 상기 제1 및 제2 비어홀에 제1 및 제2 도전성 플러그를 채우는 단계;

상기 제2 유전층 상에 제1 배선을 형성하는 단계;

상기 배선이 형성된 제2 유전층 상부에 적어도 1이상의 유전층을 형성하고 상기 유전층 사이에 도전층을 형성하는 단계; 및

상기 기판의 저면을 화학·기계적 연마를 이용하여 상기 도전성 플러그가 노출될 때까지 연마하여 포지티브 홀을 형성하는 단계를 포함하는 것을 특징으로 하는 원칩화된 다이렉트 컨버전 송수신기의 제조방법.

**【청구항 8】**

제7항에 있어서, 상기 딥 트렌치는 상기 기판에 습식 식각에 의해 형성된 것을 특징으로 하는 원칩화된 다이렉트 컨버전 송수신기 제조방법.

**【청구항 9】**

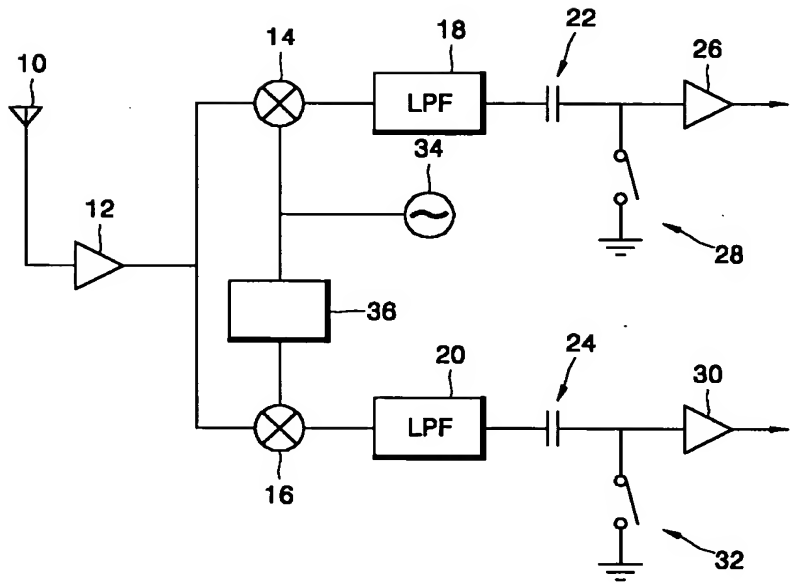
제7항에 있어서,



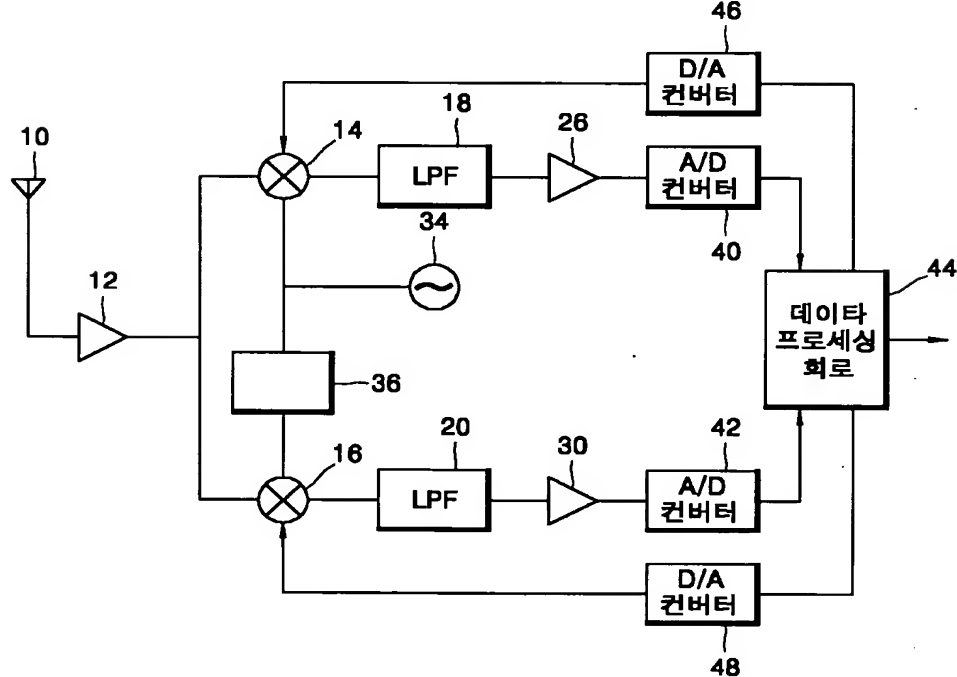
상기 도전성 플러그는 구리인 것을 특징으로 하는 원칩화된 다이렉트 컨버전 송수  
신기의 제조방법.

【도면】

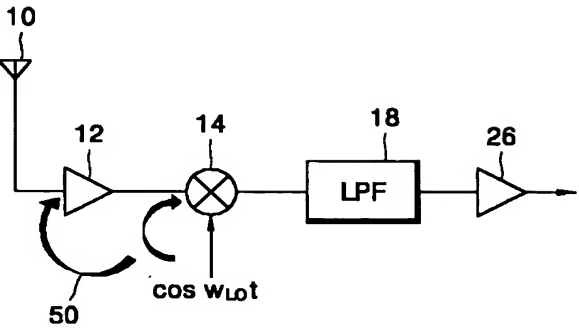
【도 1】



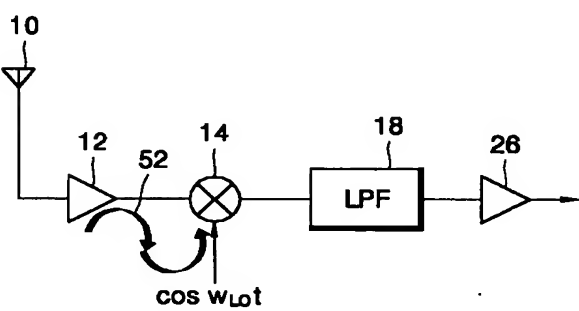
【도 2】



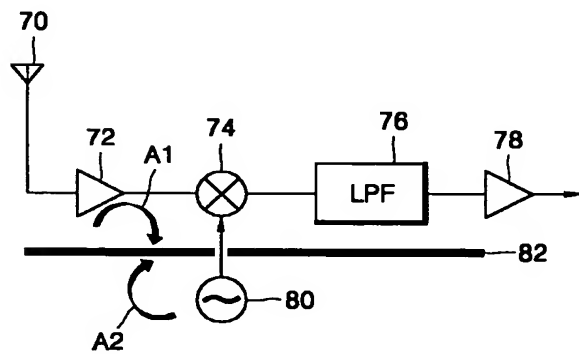
【도 3】



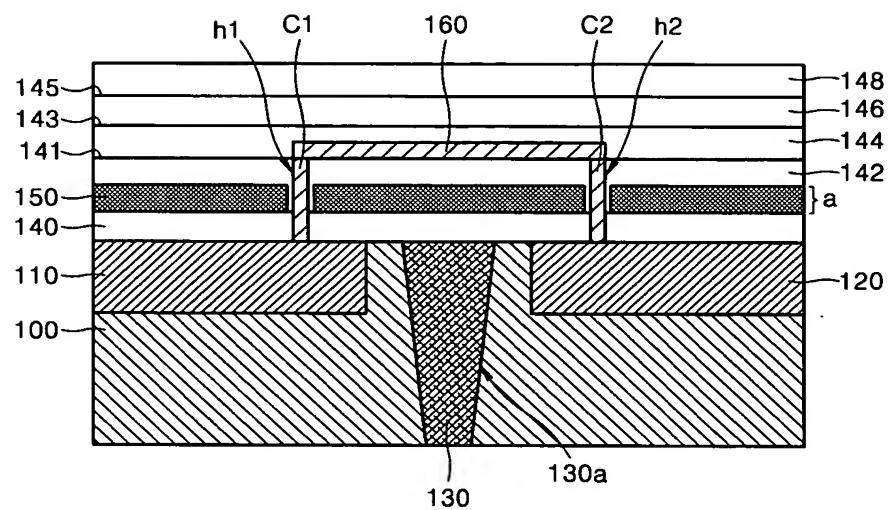
【도 4】



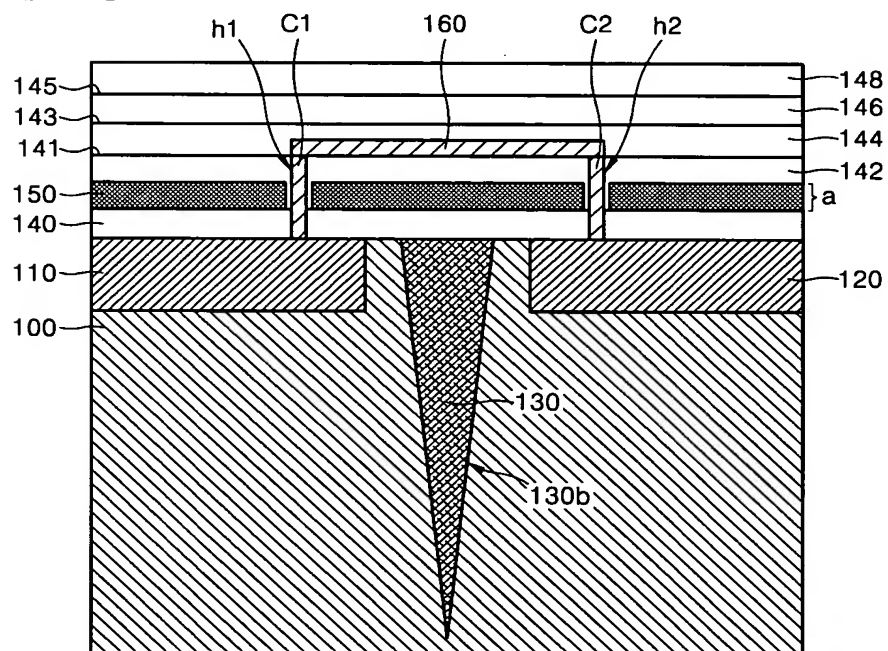
【도 5】



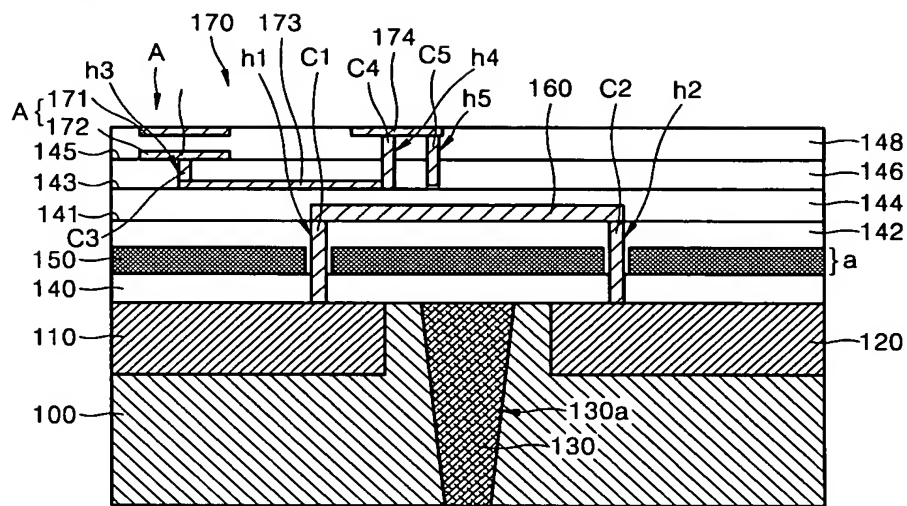
【도 6】



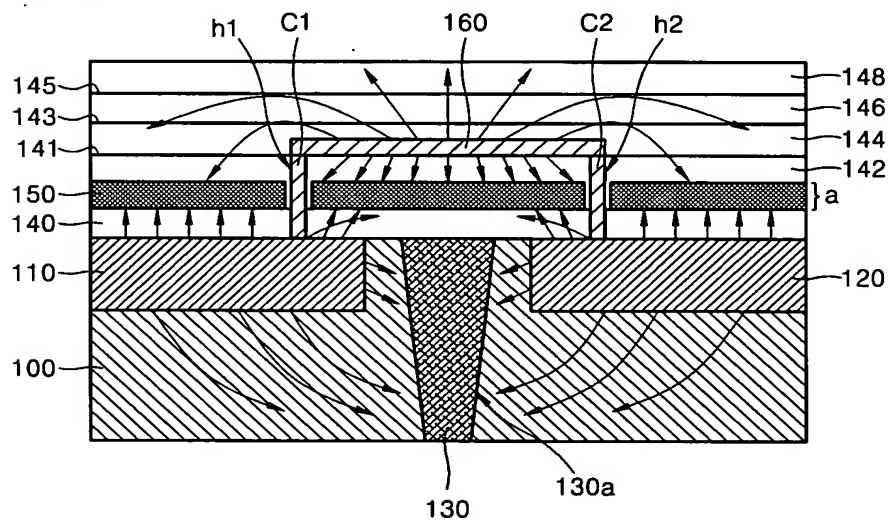
【도 7】



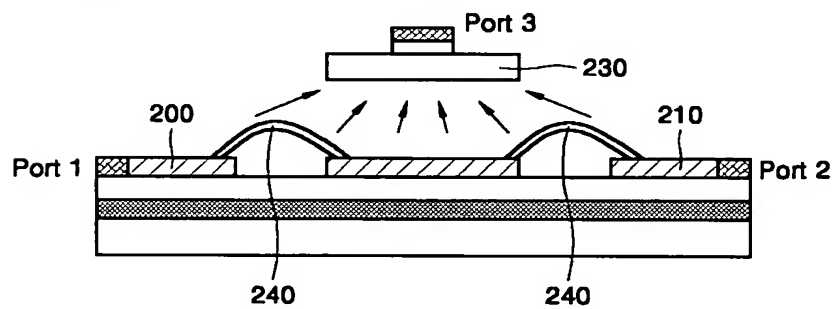
【도 8】



【도 9】



【도 10a】



【도 10b】

